

VLSI 2026 Review

한국과학기술원 바이오및뇌공학과 박사과정 석동열

Session C13 In Body Bioelectronic Systems

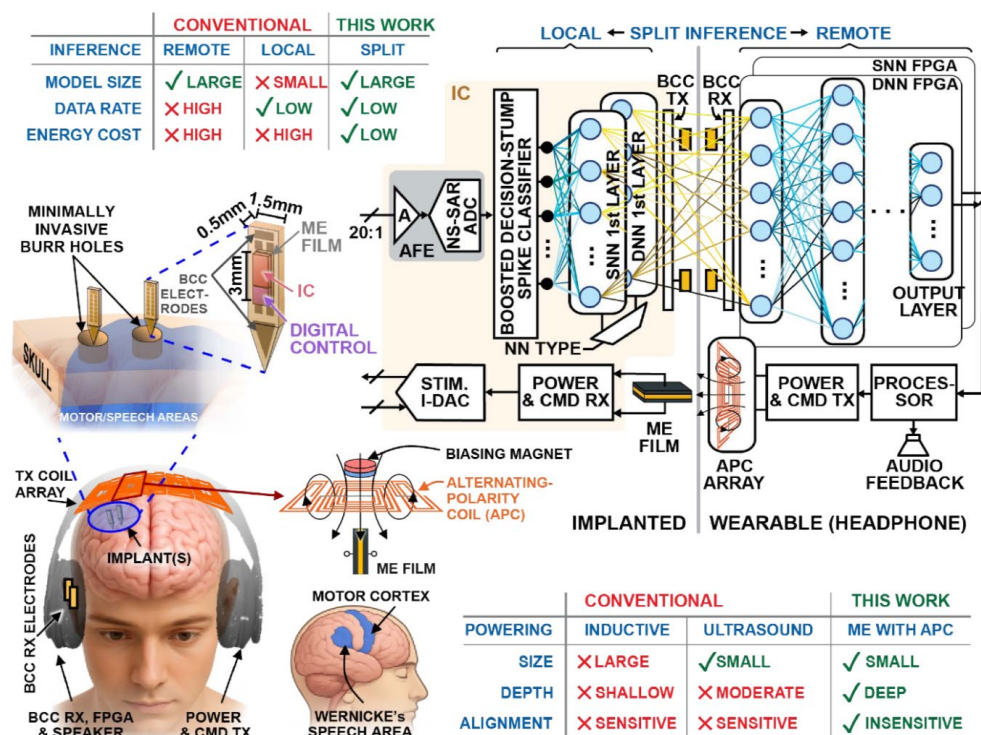
이번 2026 IEEE/JSAP Symposium on VLSI Technology and Circuits의 Session C13, In-Body Bioelectronic Systems에서는 체내 이식형 바이오전자 시스템에 적용되는 최신 회로설계 기술이 소개되었다. 최소침습형 신경 인터페이스를 구현하기 위해 요구되는 초소형화와 초저전력화, 체내 무선 전력 및 데이터 전송, 온칩 인공지능을 활용한 신경신호 처리 등 동시대의 관심사를 반영한 기술들이 발표되어 눈길을 끌고 있다. 특히 기록 채널이 증가할수록 연산량과 송신 데이터가 함께 커지는 문제를 시스템 수준에서 해결하려는 접근이 돋보인다.

#C13.1 본 논문은 토론토 대학교(University of Toronto)와 라이스 대학교(Rice University) 연구진의 공동 연구 결과로, 배터리 없이 구동되는 밀리미터 크기의 뇌 임플란트에서 신경신호 측정과 인공지능 추론을 수행하는 집적회로를 보여준다. 임플란트 내부의 제한된 전력과 통신 대역폭을 고려하여 신경망 연산을 임플란트와 외부 웨어러블 장치로 나누는 분할 추론(split inference) 구조를 제안한 점이 특징이다. 32개의 기록 전극 중 20개 입력을 시분할 방식으로 처리하는 저잡음 아날로그 전단부와 Noise-shaping SAR ADC, 스파이크 분류기, SNN 또는 DNN의 첫 번째 계층, 신체 채널 통신(Body-coupled communication) 송신기를 하나의 칩에 집적하였다. 유연한 마이크로전극에는 양면으로 16×2 전극을 배치하였으며, 고정형 전극보다 조직 움직임에 따른 artifact를 줄이는 구성을 지향한다.

온칩 추론은 지수이동평균(exponential moving average, EMA) 필터로 스파이크 파형의 시간적 특징을 추출한 뒤, 비교기 기반의 boosted decision-stump 모델로 스파이크를 분류하는 방식으로 이루어진다. 두 EMA 필터의 서로 다른 시간상수와 peak 및 trough 임계값, 시간 지연 정보를 활용하므로 곱셈기 없이 shift-and-add 연산과 비교만으로 채널당 최대 4개의 뉴런을 구분할 수 있다. 이어서 SNN의 leaky integrate-and-fire 뉴런 또는 DNN의 첫 번째 계층만 임플란트에서 계산하고, 나머지 계층은 웨어러블 FPGA에서 수행하도록 하여 최대 80개의 생물학적 뉴런에서 얻은 정보를 낮은 연산량으로 처리한다. EMA 시간상수와 임계값은 외부에서 재학습하여 다시 설정할 수 있어 피험자와 과제의 변화에 대응할 수 있다.

통신 전력은 첫 번째 신경망 계층의 활성값이 발생할 때만 짧은 펄스를 보내는 event-based body-coupled communication 방식을 적용하여 줄였다. 여러 임플란트는 TDMA로 웨어러블 수신기를 공유하며 최대 8개의 장치를 지원하고, 연속적인 원시 파형 대신 의미 있는 중간 활성값만 전달한다. 전력 공급에는 저주파 자기장을 전기에너지로 변환하는 $3 \times 1 \times 0.3 \text{ mm}^3$ 크기의 magnetoelectric 필름과 alternating-polarity coil 배열을 사용하였다. 머리 모형 실험에서 20mm 깊이까지 전력을 전달하고 축이 어긋난 경우에도 전력 전달이 가능함을 보여, 배터리와 대형 수신 코일 없이 깊은 피질 영역에 전력을 공급할 수 있는 가능성을 보여주었다.

회로는 65nm 공정으로 구현되었으며, 신경 증폭기는 $10.3 \text{ nV}/\sqrt{\text{Hz}}$ 의 입력 환산 잡음밀도와 1.5의 NEF를 달성하고, 2차 Noise-shaping SAR ADC는 8kHz 대역에서 15.8bit ENOB와 181dB Schreier FoM을 기록하였다. 기존 데이터셋을 이용한 분할 추론 평가에서는 원송이의 세 가지 운동 의도를 90.4%의 교차검증 정확도로 분류하면서 데이터율을 1,066배 줄였고, 사람의 8개 내면언어 클래스는 96.1%의 클래스별 정확도와 16,732배의 데이터율 감소를 보였다. 전체 소비전력은 추론 시 입력당 $6.07 \mu\text{W}$ 이며, 온칩 연산과 통신에 추가되는 비용은 각각 입력당 53nW와 1.23nW이다. 원시 데이터를 모두 외부로 보내거나 모든 계층을 임플란트에서 계산하는 두 극단 사이에서 통신과 연산 에너지를 함께 낮추어, 초소형 임플란트에서도 깊은 신경망 기반 해독을 수행할 수 있음을 보여주었다.



[그림 1] 배터리 없는 밀리미터 크기 뇌 임플란트와 웨어러블 헤드셋으로 구성된 분할 추론 시스템: 임플란트에서는 신경신호 측정, 스파이크 분류 및 SNN/DNN 첫 번째 계층을 처리하고, 희소

한 중간 활성값만 BCC로 전송하여 웨어러블 FPGA에서 나머지 계층을 수행함. ME 필름과 alternating-polarity coil 배열을 이용하여 깊은 피질 영역에 무선 전력을 공급함.

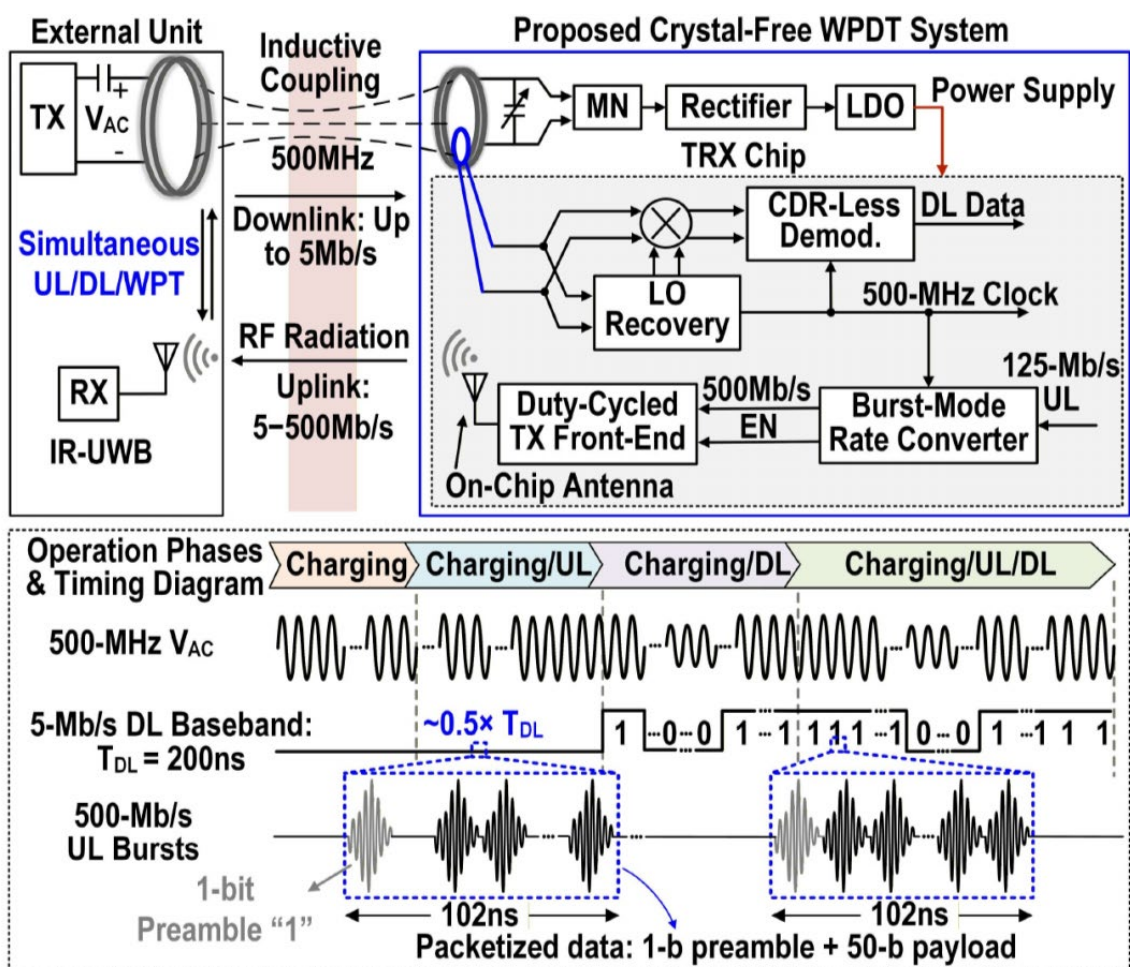
#C13.4 체내 신경 인터페이스는 외부 장치로부터 안정적으로 전력을 공급받는 동시에 제어 명령을 수신하고, 다채널 신경신호를 높은 전송률로 외부에 보내야 한다. 그러나 기존의 저주파 유도결합 방식은 전력전송효율과 데이터율 사이에 trade-off가 있고, 전력과 통신에 서로 다른 주파수를 사용하는 구조는 결합계수와 코일 정렬 변화에 민감하다. 또한 고속 uplink를 위한 별도의 crystal oscillator와 clock-data recovery 회로는 임플란트의 면적과 대기전력을 증가시킨다. 본 세션의 C13.4 논문은 하나의 전력 carrier를 시스템 clock으로 재사용하여 이러한 제약을 함께 해결한다.

본 논문은 스위스 로잔연방공과대학교(EPFL), 취리히연방공과대학교(ETH Zurich), IT'IS Foundation 및 유타 대학교(University of Utah) 연구진의 공동 연구 결과로, 50mm² 면적 안에 loop antenna와 칩을 포함한 crystal-free 양방향 wireless power and data transfer 시스템을 제안한다. 500MHz 전력 carrier를 임플란트의 유일한 기준 clock으로 사용하며, 전력 공급 중에도 5Mb/s ASK downlink와 5~500Mb/s IR-UWB uplink를 동시에 지원한다. 별도의 crystal oscillator 없이 전력 carrier로 downlink 복조 timing과 multi-GHz uplink PLL을 모두 동기화한 것이 핵심이다.

전력 수신과 downlink 데이터 복조를 분리하기 위해 6mm 외곽 RX loop와 그 내부의 data loop로 구성된 dual-loop 구조를 사용한다. 외곽 loop는 matching network와 rectifier 및 LDO를 통해 전력을 공급하고, 약하게 결합된 내부 loop는 공진 tank를 거의 loading하지 않는 고입력 임피던스 voltage-mode mixer를 직접 구동한다. 수신된 500MHz carrier는 coherent ASK 복조기의 local oscillator로 재사용되므로 좁은 대역의 간섭을 억제하면서 전력전송효율을 유지할 수 있다. 외부 10mm TX loop와 임플란트 RX loop 사이의 $|S_{12}|$ 는 9mm 간격에서 -5.2dB로 측정되었다.

Downlink에는 전통적인 CDR loop 대신 복원한 carrier를 분주하여 retiming clock을 만드는 CDR-less 구조가 적용되었다. 여러 위상의 sampling edge를 생성하는 delay-buffered oversampling chain에서 eye center에 가장 가까운 위상을 선택함으로써 phase quantization 오차를 줄이며, symbol rate보다 2배 또는 5배 빠른 sampling도 지원한다. Uplink에서는 저속 입력 데이터를 짧은 500Mb/s burst로 묶는 burst-mode rate converter를 사용한다. Type-I PLL은 500MHz 기준 clock에 50주기 이내로 lock되며, 각 burst 약 100ns 전에만 켜졌다가 전송이 끝나면 꺼져 낮은 데이터율에서 PLL의 상시 전력을 제거한다.

IR-UWB 송신기는 두 개의 current-starved delay chain으로 RF pulse와 PSK 제어 신호의 timing을 조절하고, switched-capacitor power amplifier와 온칩 folded-dipole antenna를 통해 데이터를 방사한다. PSK scrambling은 OOK에서 나타나는 discrete tone을 억제하여 spectrum을 분산시킨다. 65nm 칩은 $4.4 \times 1.05 \text{mm}^2$ 이며 downlink RX는 5Mb/s에서 $208 \mu\text{W}$ 를 소비하고 10mm 거리에서 BER 10^{-6} 을 달성하였다. Uplink 전력은 5Mb/s에서 0.23mW, 500Mb/s에서 4.93mW로 데이터율에 따라 조절되며, 500Mb/s에서 20cm 전송을 측정하고 최대 40cm에서 BER 10^{-3} 을 확인하였다. 3mm의 x 및 y축 오정렬에서도 결합 손실 증가가 3dB 미만이었으며, 20dBm 입력에서 SAR(10g)는 1.27W/kg으로 2W/kg 안전기준 이하를 보였다. 고속·장거리 통신과 지속적인 무선 전력 공급을 하나의 carrier 기반 clock 체계로 통합한 점에서 완성도가 높은 시스템이다.



[그림 2] 500MHz 전력 carrier를 공통 clock으로 재사용하는 crystal-free 양방향 WPDT 시스템: dual-loop inductive link를 통해 전력과 5Mb/s ASK downlink를 전달하고, 복원된 carrier로 CDR-less 복조기와 burst-mode IR-UWB uplink PLL을 동기화함. 저속 입력 데이터는 500Mb/s의 짧은 burst로 변환하여 송신기와 PLL의 동작시간을 줄임.

저자정보



석동열 박사과정 대학원생

- 소속 : 한국과학기술원
- 연구분야 : 바이오메디컬 응용 회로설계(센서 및 신호처리)
- 이메일 : sukd10@kaist.ac.kr